



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06334010 A**(43) Date of publication of application: **02.12.94**

(51) Int. Cl.

H01L 21/66**G01R 31/28****H01L 27/04**(21) Application number: **05122407**(22) Date of filing: **25.05.93**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **MUTO SHINICHIRO
DOUSEKI TAKAKUNI
MATSUTANI YASUYUKI
YAMADA JUNZO**

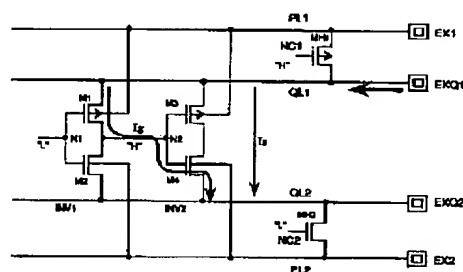
(54) LOGICAL CIRCUIT

(57) Abstract:

PURPOSE: To eliminate the effect of a large subthreshold leakage current and to facilitate distinguishing the presence of defective elements by connecting a substrate node of a field effect transistor having a low threshold voltage to a power supply line and by providing an artificial supply line with pads.

CONSTITUTION: Substrate nodes of P channel MOS type field effect transistors M1 and M3 of the field effect transistors M1-M4 of low threshold voltage comprising a group of logical circuits are connected to a first power supply line PL1. Then, substrate nodes of N channel MOS type field effect transistors M2 and M4 are connected to a second power supply line PL2. Further, pads EXQ1 and EXQ2 are provided on a first and a second artificial power supply lines QL1 and QL2 and these pads EXQ1 and EXQ2 are to serve as the terminals for testing. Potentials of the artificial power supply lines QL1 and QL2 are so fixed as to increase the threshold value of the low threshold transistors only during the testing period, thus restraining a subthreshold leakage current.

COPYRIGHT: (C)1994,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334010

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66		F 7630-4M		
G 0 1 R 31/28				
H 0 1 L 27/04	T	8832-4M		
		6912-2G	G 0 1 R 31/ 28	V
審査請求 未請求 請求項の数2 O L (全 8 頁)				

(21) 出願番号 特願平5-122407

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 武藤 伸一郎

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

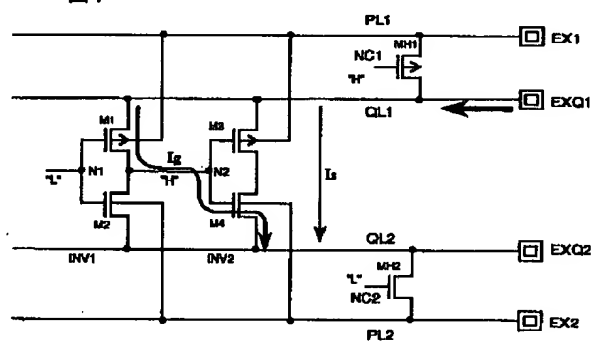
(54) 【発明の名称】 論理回路

(57) 【要約】

【目的】 低しきい値電圧トランジスタの大きなサブスレッショルドリーク電流の影響を排除し、欠陥素子の有無を容易に判別できる論理回路を提供する。

【構成】 低しきい値と高しきい値の2レベルのしきい値を有するMOS型電界効果トランジスタで構成したLSIにおいて、低しきい値電圧を有する電界効果トランジスタの基板ノードを電源線に接続し、かつ、擬似電源線にパッドを設け、このパッドを試験用端子とする。

図1



【特許請求の範囲】

【請求項1】 PチャネルMOS型電界効果トランジスタとNチャネルMOS型電界効果トランジスタのそれぞれの中で低いしきい値電圧のトランジスタと高いしきい値電圧のトランジスタとを備え、上記低いしきい値電圧のトランジスタで論理回路群を構成し、該論理回路群の第1の電源端子部を共通の第1の擬似電源線に接続し、該第1の擬似電源線は高いしきい値電圧のトランジスタを介して第1の電源線に接続し、上記論理回路群の第2の電源端子部を共通の第2の擬似電源線に接続し、該第2の擬似電源線は高いしきい値電圧のトランジスタを介して第2の電源線に接続した論理回路において、上記論理回路群を構成する低いしきい値電圧の電界効果トランジスタのうち、PチャネルMOS型電界効果トランジスタの基板ノードを第1の電源線に接続し、NチャネルMOS型電界効果トランジスタの基板ノードを第2の電源線に接続し、かつ、上記第1および第2の擬似電源線にパッドを設け、該パッドを試験用端子とする構成を特徴とする論理回路。

【請求項2】 PチャネルMOS型電界効果トランジスタとNチャネルMOS型電界効果トランジスタのそれぞれの中で低いしきい値電圧のトランジスタと高いしきい値電圧のトランジスタとを備え、上記低いしきい値電圧のトランジスタで論理回路群を構成し、該論理回路群の第1の電源端子部を共通の第1の擬似電源線に接続し、該第1の擬似電源線は高いしきい値電圧のトランジスタを介して第1の電源線に接続し、上記論理回路群の第2の電源端子部を共通の第2の擬似電源線に接続し、該第2の擬似電源線は高いしきい値電圧のトランジスタを介して第2の電源線に接続した論理回路において、上記論理回路群を構成する低いしきい値電圧の電界効果トランジスタのうち、PチャネルMOS型電界効果トランジスタの基板ノードを第1の電源線に接続し、NチャネルMOS型電界効果トランジスタの基板ノードを第2の電源線に接続し、かつ、上記第1の擬似電源線を第1の電源変換回路を介して第1の電源線に接続し、上記第2の擬似電源線を第2の電源変換回路を介して第2の電源線に接続する構成を特徴とする論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は低しきい値と高しきい値の2レベルのしきい値を有するMOS型電界効果トランジスタで構成した論理回路に係り、特に欠陥素子の有無の判別が容易にできる論理回路に関する。

【0002】

【従来の技術】 CMOS LSIの製造工程において、ゲートリーク等の欠陥がLSIを構成する素子（トランジスタ等）に生じた場合には、その欠陥素子を含んだLSIチップを何らかの試験により選別し、不良品と判別しなければならない。何故なら、そのような不良チップ

は、たとえ一次的に所望の入出力特性を実現できたとしても、寿命が著しく短い可能性が高いためである。はじめに欠陥素子の有無を判別し、LSIチップの良品／不良品を見分けるための一般的な判別試験法について説明する。MOS型電界効果トランジスタのゲートに欠陥が生じ、微小な電流が流れる（ゲートリーク）場合を図5に示す。MH1、MH3はpチャネルの電界効果トランジスタ、MH2、MH4はnチャネルの電界効果トランジスタ、PL1は高電位の電源線、PL2は低電位の電源線である。EX1はPL1に設けられたパッドで、高電位（VDD）電源が接続される。EX2はPL2に設けられたパッドで、接地される（GND）。また、論理回路の例としてINV1、INV2はそれぞれインバータ回路を示す。N1、N2はINV1、INV2の入力端子である。ここで、INV2を構成するMH4に欠陥が存在し、ゲート電極（N2と同電位）とソース間（GNDに接続）に電流が流れ、また、N1が低電位（GNDレベル）、N2が高電位（VDDレベル）の場合を例として、一般的な判別試験法の説明を行う。上記のごとき欠陥が存在すると、各ノードの入力端子の電位が変わらない時、即ち回路が動作していない時にも、Igで示すようにPL1とPL2との間に大きなリーク電流Ig（例えば、1マイクロアンペア以上）が流れる。したがって、EX1に接続されたVDD電源から流れる電流を測定することにより、欠陥の有無を知り、不良チップを判別することができる。なお、スタンバイ時には、欠陥によるリーク電流の他にも、サブスレッショルドリーク電流（Is）が流れる。この電流の大きさはトランジスタのしきい値電圧に依存する。しきい値電圧の絶対値が極端に小さくなければ、サブスレッショルドリーク電流は欠陥による電流に比べて十分に小さく（例えば10ナノアンペア）、チップの不良品選別には影響しない。

【0003】 しかしながら、近年、電池駆動可能な各種機器のために、回路の低電圧動作化が進められており、しきい値を非常に低い値に設定したトランジスタを用いる回路が提案されている。一例を図6に示す。低しきい値電圧MOS型電界効果トランジスタは記号M1～M4で表す。また、高しきい値電圧MOS型電界効果トランジスタは記号MH1、MH2で表す。低しきい値電圧トランジスタ（M1～M4）で構成された論理回路例として、インバータ回路をINV1、INV2で表す。N1、N2はそれぞれINV1、INV2の入力端子である。PL1は高電位の電源線、PL2は低電位の電源線である。EX1はPL1に設けられたパッドで、高電位（VDD）電源が接続される。EX2はPL2に設けられたパッドで、通常接地される（GND）。INV1、INV2は共通の疑似電源線QL1、QL2に接続されている。疑似電源線QL1は高しきい値電圧トランジスタMH1の出力電極を介して電源線PL1に接続され、疑似電源線QL2はトランジスタMH2の出力電極を介

して電源線PL2に接続されている。pチャネル型トランジスタMH1は、電源電圧VDDが供給される電源線PL1と疑似電源線QL1との接続をオン／オフし、nチャネル型トランジスタMH2は接地された電源線PL2と、疑似電源線QL2との接続をオン／オフする機能を有する。NC1、NC2はそれぞれMH1、MH2のオン／オフを制御するための信号線を接続する端子である。判別試験中は制御信号NC1を低電位、NC2を高電位にして、MH1とMH2をオン状態にする。PL1とQL1、PL2とQL2はそれぞれ同電位になり、各トランジスタに電源が供給される。ここで、INV2を構成するM4に欠陥が存在し、ゲート電極（N2と同電位）とソース間（GNDに接続）に電流が流れ得るものとする。また、N1が低電位（GNDレベル）、N2が高電位（VDDレベル）として、従来の問題点について説明する。上記の欠陥が存在すると、Igで示すような貫通電流パスが形成され、PL1とPL2との間に欠陥によるリーク電流Ig（例えば、1マイクロアンペア以上）が流れる。さらには、トランジスタM1～M4のしきい値電圧が低いために、著しく大きいサブスレッショルドリーク電流Is（例えば10マイクロアンペア）も流れる。この値は欠陥によるリーク電流に比べて大きい。したがって、EX1に接続されたVDD電源から流れる電流を測定しても、それが、素子の欠陥によるリーク電流なのか、それとも欠陥に関係のないサブスレッショルドリーク電流なのかを判別できないことになる。

【0004】

【発明が解決しようとする課題】 以上のように、しきい値を低い値に設定し、サブスレッショルドリーク電流の大きいトランジスタを用いたLSIにおいては、LSIを構成する素子（トランジスタ等）に欠陥が生じた場合にも、欠陥の有無を知り、欠陥を含んだチップを選別することができないという問題があった。本発明はこのような状況に鑑みなされたもので、低いしきい値電圧トランジスタによる大きなサブスレッショルドリーク電流の影響を排除し、欠陥素子の有無を容易に判別できる論理回路を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明では、例えば図1に示すように、第1の疑似電源線例えばQL1と第2の疑似電源線例えばQL2との間に低いしきい値電圧のMOS型電界効果トランジスタ例えばM1～M4から成る論理回路群を有し、第1の疑似電源線QL1と第1の電源線PL1との間、および第2の疑似電源線QL2と第2の電源線PL2との間にそれぞれ高いしきい値電圧のMOS型電界効果トランジスタMH1およびMH2を有する論理回路において、上記論理回路群を構成する低いしきい値電圧の電界効果トランジスタM1～M4のうち、PチャネルMOS型電界効果トランジスタM1、M3の基板ノードを第1の電源

線PL1に接続し、NチャネルMOS型電界効果トランジスタM2、M4の基板ノードを第2の電源線PL2に接続し、かつ、上記第1および第2の疑似電源線にパッドEXQ1、EXQ2を設け、該パッドを試験用端子とする構成を備えることとする。

【0006】あるいは上記目的を達成するため、本発明では、例えば図3に示すように、第1の疑似電源線例えばQL1と第2の疑似電源線例えばQL2との間に低いしきい値電圧のMOS型電界効果トランジスタ例えばM1～M4から成る論理回路群を有し、第1の疑似電源線QL1と第1の電源線PL1との間、および第2の疑似電源線QL2と第2の電源線PL2との間にそれぞれ高いしきい値電圧のMOS型電界効果トランジスタMH1およびMH2を有する論理回路において、上記論理回路群を構成する低いしきい値電圧の電界効果トランジスタM1～M4のうち、PチャネルMOS型電界効果トランジスタM1、M3の基板ノードを第1の電源線PL1に接続し、NチャネルMOS型電界効果トランジスタM2、M4の基板ノードを第2の電源線PL2に接続し、かつ、上記第1の疑似電源線QL1を第1の電源変換回路VG1を介して第1の電源線PL1に接続し、上記第2の疑似電源線QL2を第2の電源変換回路VG2を介して第2の電源線PL2に接続する構成を備えることとする。そして試験実施時には、電源変換回路を動作させ、この回路を介して疑似電源線への電圧を与えるようにすればよい。

【0007】

【作用】本発明で、疑似電源線に接続した論理回路群を構成する低いしきい値電圧の電界効果トランジスタの基板ノードを電源線に接続し、またその疑似電源線を高いしきい値電圧の電界効果トランジスタを介して電源線に接続する構成により、通常動作時は、高いしきい値電圧の電界効果トランジスタをオン状態にすれば、これにより、基板ノードを電源線に接続した上記トランジスタは低いしきい値電圧を有する状態において通常の動作をすることができる。またその一方、試験期間中は、上記の高いしきい値電圧の電界効果トランジスタをオフ状態にし、疑似電源線の試験用端子を通じて、または電源線に接続した電源変換回路を介して疑似電源線に試験用電圧を与えるようにすることにより、上記の低いしきい値電圧の電界効果トランジスタを一時的に高いしきい値電圧を有するにすることが可能になる。このため、試験に際して上記の低いしきい値電圧の電界効果トランジスタに流れるサブスレッショルドリーク電流を著しく低減できるようになり、その結果、トランジスタの欠陥によるリーク電流の判別が容易になる。

【0008】

【実施例】図1に第1の発明の第1の実施例を示す。低いしきい値電圧を有するMOS型電界効果トランジスタは記号M1～M4で表す。また、高いしきい値電圧を有する

MOS型電界効果トランジスタは記号MH1、MH2で表す。論理回路の例としてINV1、INV2はそれぞれインバータ回路を示す。N1、N2はINV1、INV2の入力端子である。PL1は高電位の電源線、PL2は低電位の電源線である。EX1はPL1に設けられたパッドで、高電位（VDD）電源が接続される。EX2はPL2に設けられたパッドで、通常接地される（GND）。pチャネル型トランジスタMH1は、電源電圧VDDが供給される電源線PL1と擬似電源線QL1との接続をオン／オフし、nチャネル型トランジスタMH2は接地された電源線PL2と、擬似電源線QL2との接続をオン／オフする機能を有する。NC1、NC2はそれぞれMH1、MH2のオン／オフ状態を制御するための信号線を接続する端子である。低しきい値電圧トランジスタ（M1～M4）で構成された論理回路は共通の擬似電源線QL1、QL2に接続されている。擬似電源線QL1及びQL2にはパッドEXQ1、EXQ2が設けられている。擬似電源線QL1は高しきい値電圧トランジスタMH1の出力電極を介して電源線PL1に接続される。また擬似電源線QL2は高しきい値電圧トランジスタMH2の出力電極を介して電源線PL2に接続される。低しきい値のpチャネルトランジスタM1とM3の基板ノードは電源線PL1に接続される。また、低しきい値のnチャネルトランジスタM2とM4の基板ノードは電源線PL2に接続される。EXQ1とEXQ2を試験用端子として用いた試験法について、以下に説明する。試験期間中においては、各部を以下に示す状態に保つ。制御信号NC1を高電位、NC2を低電位にして、MH1とMH2をオフ状態に保つ。パッドEXQ1、EXQ2に電源を接続し、PL1の電位（例えば3V）>QL1電位（例えば2V）>QL2電位（例えば1V）>PL2電位（例えば0V）となるように擬似電源線QL1、QL2の電位を固定する。pチャネルトランジスタM1に注目する。基板の電位（即ちPL1電位）がソースの電位（即ちQL1電位）より高くなるようにQL1の電位を設定しているため、M1のしきい値電圧（絶対値）はその差分だけ大きくなる。また、nチャネルトランジスタM2に注目する。基板の電位（即ちPL2電位）がソースの電位（即ちQL2電位）より低くなるようにQL2の電位を設定しているため、M2のしきい値電圧はその差分だけ高くなる。M3、M4についても同様である。このように、低しきい値トランジスタのしきい値電圧を一時的に高くすることにより、サブスレッショルド電流を著しく（例えば10nA以下に）低減することが可能となる。ここで、素子の欠陥により、I_gで示すような大きな欠陥リーク電流（例えば1マイクロアンペア以上）が流れた場合を想定する。EXQ1に接続した電源からは、欠陥によるリーク電流（1g）とサブスレッショルドリーク電流（1s）の和の分の電流が流れるが、サブスレッショルドリーク電流を強制的に低減

させ、十分小さな値となっているため、欠陥による電流の有無を判別することが可能となる。即ち、測定対象となるLSIチップ内の素子の欠陥の有無を確認することができる。なお、判別試験中はNC1を高電位に、またNC2を低電位にし、MH1及びMH2をカットオフ状態にする。MH1とMH2のしきい値電圧は十分に大きいため、PL1からQL1へ、また、PL2からQL2へのサブスレッショルド電流は十分に小さく、その影響は無視できる。

- 10 【0009】図2に第1の発明の第2の実施例を示す。SELはセクタで、CSELはセクタを制御する信号を接続する端子である。他の接続関係、記号については第1の実施例と同じである。例えば、LSIの通常動作時にはCSELによりセクタを制御し、QL1とEXQ1、QL2とEXQ2がそれぞれ電氣的に切り離されている状態にする。不良チップ判別試験時には、CSELによりセクタを制御し、QL1とEXQ1、QL2とEXQ2がそれぞれ電氣的に接続されている状態にする。試験の手法については第1の実施例に記載のとおりである。第1の実施例とはセクタを介しQL1とEXQ1、QL2とEXQ2を各々接続することが異なる。試験期間でない、すなわち通常の動作期間において、擬似電源線をパッドから電氣的に切り離すことにより、パッドを介する試験回路系の影響が論理回路の動作に及ばないようにすることが可能になる利点がある。なお本実施例にはスイッチの部分については具体的に記載されていないが、それが電界効果型トランジスタの単体で構成されるスイッチであっても、複数のトランジスタから構成されるスイッチであっても、また、他のスイッチ素子であっても、上記の機能を有するものであれば、
- 20 本実施例に適用できることは勿論である。
- 30 【0010】図3に第2の発明の実施例を示す。VG1とVG2は電源変換回路、CVGは電源変換回路の動作を制御するための信号線を接続する端子である。他の接続関係、記号については第1の実施例と同じである。VG1はQL1をPL1より低い電位に決める機能を有する。また、VG2はPL2をQL2より低い電位に決める機能を有する。LSIの通常動作時にはNC1を低電位に、またNC2を高電位にしてMH1及びMH2をオン状態にしている。その際にはVG1、VG2が機能しないようにし、VG1、VG2内ではPL1とQL1、PL2とQL2がそれぞれ電氣的に切り離されている状態にする。不良チップ判別試験時にはNC1を高電位に、またNC2を低電位にし、MH1及びMH2をカットオフ状態にする。同時にCVGにより電源変換回路を機能させ、PL1の電位（例えば3V）>QL1電位（例えば2V）>QL2電位（例えば1V）>PL2電位（例えば0V）となるように擬似電源線QL1、QL2の電位を定める。試験の手法については電流を測定する端子がEX1になることを除き、第1の発明の第1の

実施例に記載のとおりである。

【0011】VG1及びVG2の実際の回路構成例を図4に示す。図4においてD1、D2はダイオード、MH5は高しきい値電圧のpチャネル型電界効果トランジスタ、MH6は高しきい値電圧のnチャネル型電界効果トランジスタ、INV3はインバータ回路である。LSIの通常動作時にはCVGを高電位にすることによりMH5とMH6とオフ状態に保ち、PL1とQL1、PL2とQL2をそれぞれ電氣的に切り離した状態にする。不良チップ判別試験時には、CVGを低電位にし、MH5とMH6をオン状態に保つ。ダイオードはそれ自身の入力電位からしきい値電圧分を減じた値を出力するため、QL1の電位をPL1の電位より低く、また、PL2の電位をQL2より低くすることが可能となる。なお、本回路例は単なる一例に過ぎず、以上のような電源変換機能を有する回路であれば、いずれも第2の発明の実施例に適用可能である。

【0012】

【発明の効果】以上説明したように本発明の論理回路では、低しきい値トランジスタのしきい値を試験期間中に限って大きくするように擬似電源線の電位を固定することにより、サブスレッショルドリーク電流が抑えられ、欠陥によるリーク電流の測定が可能となる。したがって、LSIチップ内の欠陥素子の有無を容易に判別できるという効果がある。特に擬似電源線と電源線との間に電源変換回路を接続する実施例の場合、試験用の特別なパッドは電源変換回路を制御する信号の入力端子用の一つで済む。これはLSIの外部ピン数低減につながり、LSIチップの面積低減、安価化の効果がある。

【図面の簡単な説明】

* 30

* 【図1】第1の発明の第1の実施例を示す図。

【図2】第1の発明の第2の実施例を示す図。

【図3】第2の発明の実施例を示す図。

【図4】図3におけるVGの実際構成例を示す図。

【図5】チップ不良判別の一般的な方法を説明するための図。

【図6】従来例を示す図。

【符号の説明】

PL1、PL2…電源線

10 QL1、PL2…擬似電源線

EX1、EX2…電源線用パッド

EXQ1、EXQ2…擬似電源線用パッド

VDD…高電位電源

GND…接地電位（低電位電源）

M1、M3…低しきい値P-ch MOS型電界効果トランジスタ

M2、M4…低しきい値N-ch MOS型電界効果トランジスタ

20 MH1、MH3、MH5…高しきい値P-ch MOS型電界効果トランジスタ

MH2、MH4、MH6…高しきい値N-ch MOS型電界効果トランジスタ

N1、N2、NC1、NC2、CSEL、CVG…信号入力端子

INV1、INV2、INV3…インバータ回路

SEL…セクタ回路

VG1、VG2…電源変換回路

Ig…欠陥によるリーク電流

Is…サブスレッショルドリーク電流

【図3】

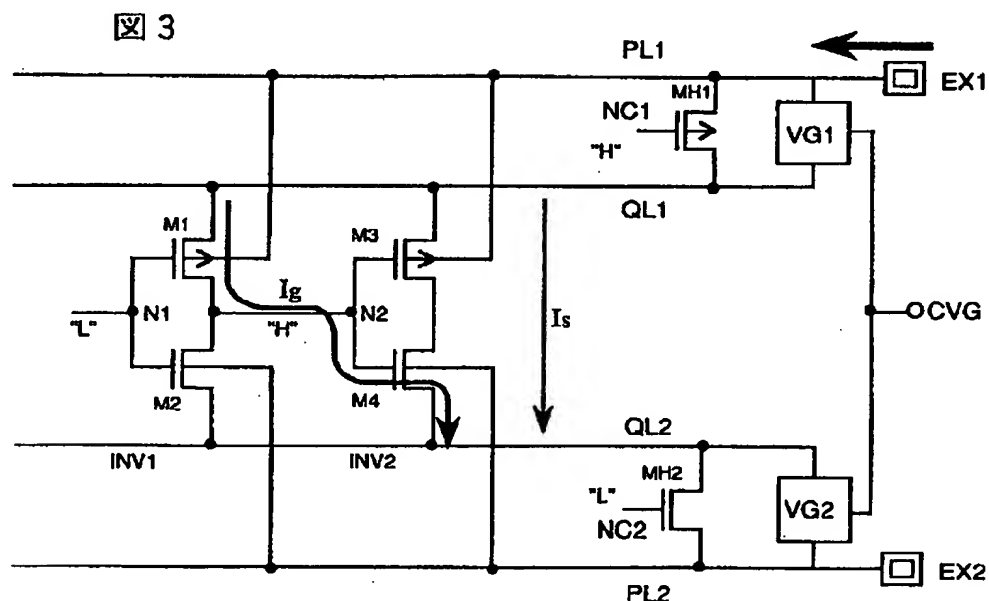
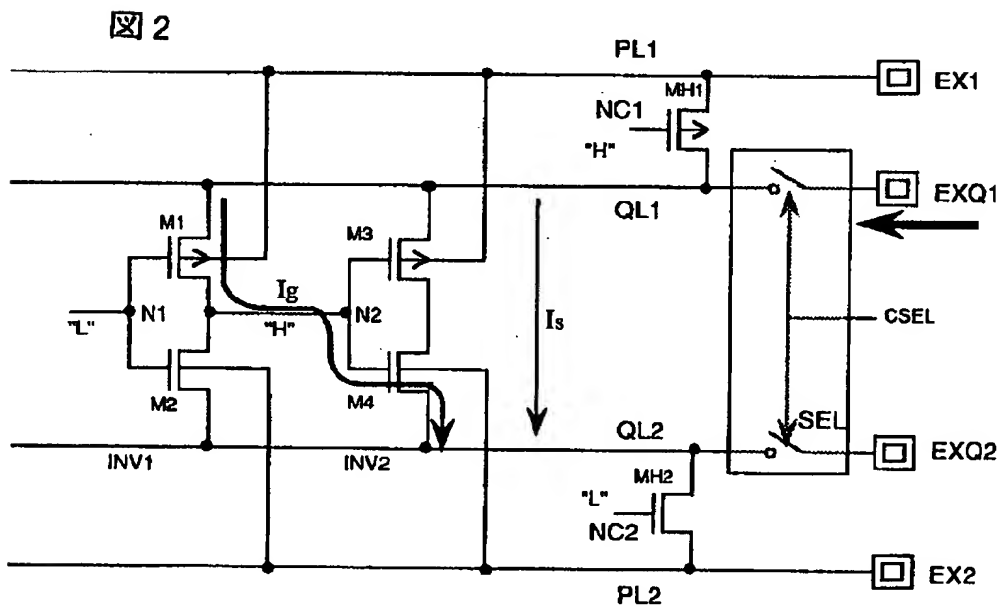
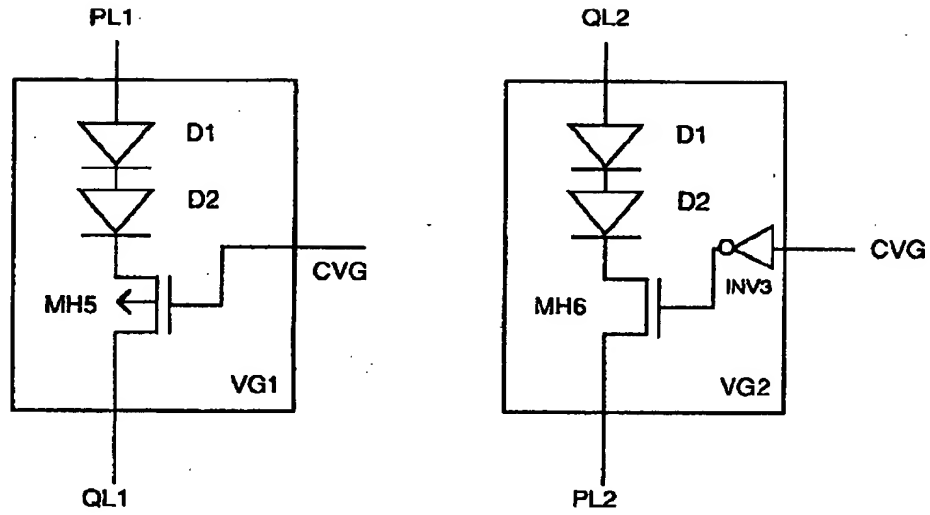


圖 1



【図4】

図4



【図5】

図5

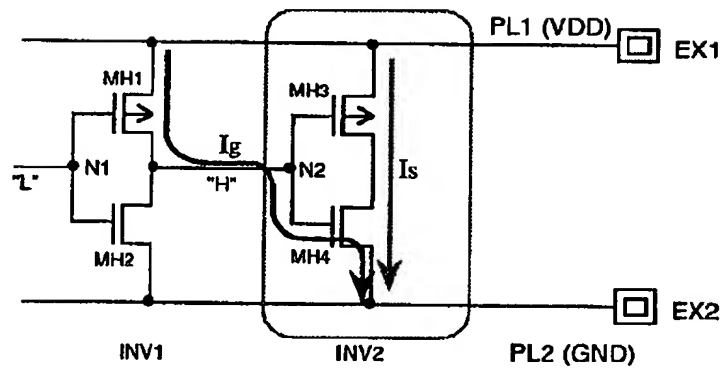
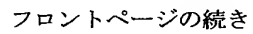


图 6



(72)発明者 山田 順三
東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内